

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124836
 (43)Date of publication of application : 28.04.2000

(51)Int.Cl. H04B 1/707
 H04Q 7/22

(21)Application number : 11-295289 (71)Applicant : TEXAS INSTR INC <TI>
 (22)Date of filing : 18.10.1999 (72)Inventor : DABAK ANAND G
 HOSUR SRINATH
 SRIRAM SUNDARARAJAN

(30)Priority

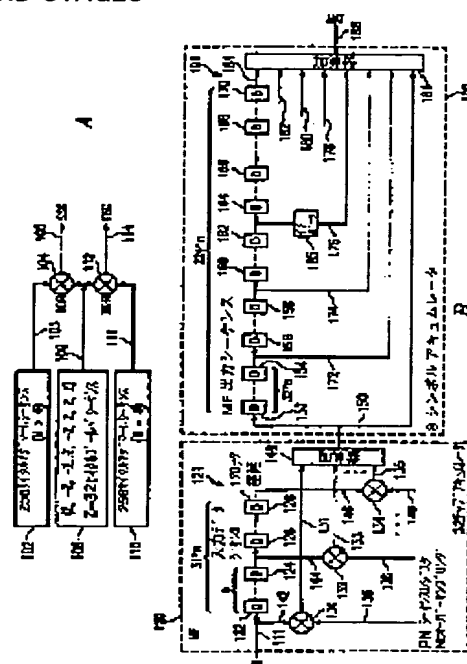
Priority number : 98 104522 Priority date : 16.10.1998 Priority country : US
 98 217759 21.12.1998 US

(54) SIMPLIFIED CELL RETRIEVING SYSTEM FOR FIRST AND SECOND STAGES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a simplified cell retrieving system for wideband CDMA (WCDMA).

SOLUTION: A signal detecting circuit is provided with a first serial circuit, having N pieces of taps 142-146 for generating first tap signals from an input signal 111. First logic circuits 130, 132, 134 and 148 are linked so as to receive the plural first tap signals, one of N pieces of predetermined signals and the complements of N pieces of predetermined signals, and they generate first output signals. A second serial circuit has M pieces of taps 150 and 172-184 arranged so as to generate correspondent plural second tap signals from the first output signals. In this case, an N/M ratio is not larger than '4'. A second logic circuit 186 is connected so as to receive one of anti-logarithms and complements of plural second tap signals and generates a second output signal 188.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124836

(P2000-124836A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 4 B 1/707

H 0 4 J 13/00

D

H 0 4 Q 7/22

H 0 4 B 7/26

1 0 7

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願平11-295289

(22) 出願日 平成11年10月18日 (1999.10.18)

(31) 優先権主張番号 1 0 4 5 2 2

(32) 優先日 平成10年10月16日 (1998.10.16)

(33) 優先権主張国 米国 (U S)

(31) 優先権主張番号 2 1 7 7 5 9

(32) 優先日 平成10年12月21日 (1998.12.21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 アナンド ジー. ダバク

アメリカ合衆国, テキサス, リチャードソ
ン, イー. レンナー 2600, ナンバー165

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

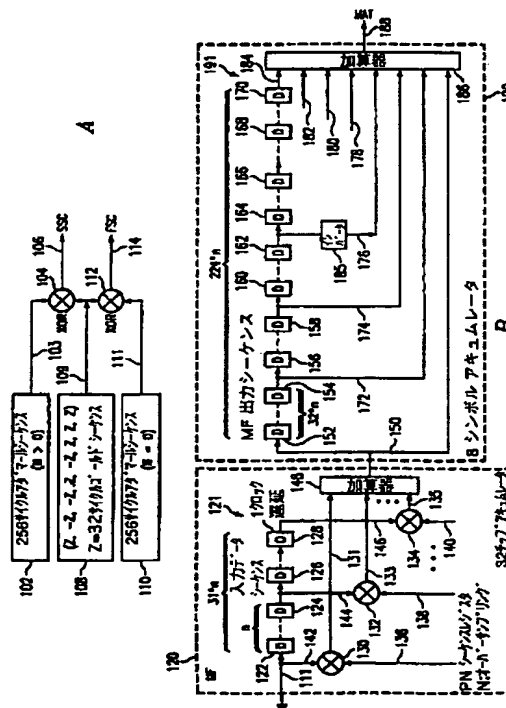
最終頁に続く

(54) 【発明の名称】 第1および第2ステージ用の簡略化セル検索方式

(57) 【要約】

【課題】 WCDMA用の簡略化したセル検索方式を提供する。

【解決手段】 本発明の信号検出回路は、入力信号 (111) から第1タップ信号を発生するN個のタップ (142-146) を有する第1シリアル回路を含む。第1論理回路 (130, 132, 134, 148) が、複数の第1タップ信号と、N個の予め定められた信号の1つおよびN個の予め定められた信号の補数を受信するようにつながれて、第1出力信号を発生する。第2シリアル回路は、第1出力信号から、対応する複数の第2タップ信号を発生するように配置されたM個のタップ (150, 172-184) を有する。ここにおいて、N/Mの比は4よりも大きくない。第2論理回路 (186) が複数の第2タップ信号の各々の真および補数のうちの1つを受信するようにつながれて、第2出力信号 (188) を発生する。



【特許請求の範囲】

【請求項1】 信号検出用の回路であって、

各群がN個の論理信号を有するM群の第1シーケンスを発生するように配置された第1回路であって、第1の複数のM群の各々が予め定められたシーケンスを有しており、またここにおいて、第2の複数のM群の各々が前記予め定められたシーケンスの補数である第1回路、論理信号の第2シーケンスを発生するように配置された第2回路であって、論理信号の前記第2シーケンスの数がMとNの積に等しい第2回路、および前記第1および第2シーケンスを受信するようにつながれた第3回路であって、前記第1および第2シーケンスにตอบสนองして一致信号を発生する第3回路、を含む回路。

【請求項2】 移動通信システムにおいて信号を検出する方法であって、次の工程、

遠隔送信機から入力信号を受信する工程、

クロック信号にตอบสนองして、前記入力信号から各々N個の信号のM群をサンプリングする工程、

各群のN個の信号を、予め定められた信号シーケンスの1つおよび前記予め定められた信号シーケンスの補数と比較する工程、

各々の対応する群の前記比較工程にตอบสนองして、複数のM個の信号を発生する工程、

前記複数のM個の信号にตอบสนองして、一致信号を発生する工程、を含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は通信システム用の広帯域シー・ディー・エム・エー（WCDMA）に関するものであり、更に詳細にはWCDMA用の簡略化したセル検索方式に関する。

【0002】

【従来の技術】現在のシー・ディー・エム・エー（CDMA）システムは、各信号に対してユニークなコードを割り当てることによって、共通チャネル上へ異なるデータ信号を同時に送信することで特徴づけられる。このユニークなコードが、選ばれた受信機のコードと一致することでデータ信号の正しい受け手を決定する。これらの異なるデータ信号は、地面クラッター（ground clutter）および予想できない信号反射によって多様な経路を経由して受信機に到達する。受信機においてこれらの多重データ信号が重畳すると、受信される信号強度に顕著なフェージングや変動を生じる。一般に、多様なデータ経路によるこのフェージングは、送信エネルギーを広帯域幅にわたって拡散させることによって減らすことができる。この広帯域幅の効果は、周波数分割式多元接続（FDMA）や時分割式多元接続（TDM A）のような狭帯域通信モードと比べて大幅にフェージングを低減する。

【0003】ここに参照によって引用する、1998年

4月27日に出願され、“加速コード取得によるスペクトル拡散電話技術”（Spread-Spectrum Telephony with Accelerated Code Acquisition）と題する米国特許出願第09/067,594号に述べられているように、次世代の広帯域シー・ディー・エム・エー（WCDMA）通信システム用の新しい標準が次々と生まれてきている。それらのWCDMAシステムは、パイロットシンボル（pilot symbol）支援のチャネル推定方式を備えるコヒーレントな通信システムである。それらのパイロットシンボルは、そのセル内または範囲内にある任意の受信機へ予め定められたタイムフレーム間に、4位相シフトキーイング（QPSK）された既知のデータとして送信される。これらフレームはセル内を不連続通信（DTX）モードで伝搬する。音声通信では、ユーザーデータの送信はユーザーが話す時に発生し、ユーザーが話さない時はデータシンボルの送信は行われない。同様に、パケットデータに関しては、パケットが送信準備できた時のみ、ユーザーデータが送信される。フレームには、送信電力制御（TPC）シンボルおよびレート情報（RI）シンボルのようなその他の制御シンボルと一緒に、パイロットシンボルが含まれる。これらの制御シンボルには多重ビットが含まれており、それらはあるいは、データビットからそれらを区別するためのチップとして知られている。チップ送信時間（T_c）は、従って、シンボルタイムレート（T）をシンボル中のチップ数（N）で割ったものに等しい。このシンボル中のチップ数は拡散因子である。

【0004】

【発明の解決しようとする課題】WCDMA移動通信システムは1つのセル内で通信を確立するために、最初に遠隔基地局から信号を取得しなければならない。しかし、この初期の取得は、他の基地局からの信号に加えて、そのセル内の他の移動システム用の基地局からの関係のない多重信号の存在によって複雑化している。更に、各基地局からの通常の信号は、それを隣接する基地局から区別するために、共通暗号化コードまたはロングコード（long code）によって変調されている。通常、これらのロングコードの期間中は高速な信号取得が禁止される。従って基地局は、この初期の取得を容易にするために、むしろビーコンのように、パーチャネル（perch channel）上へ16KSPSで特殊な信号を連続的に送信する。パーチャネルフォーマットは、各々が0.625ミリ秒の長さを有する16のタイムスロットを備える1つのフレームを含む。各タイムスロットは、4つの共通パイロットシンボル、4つのトランスポートチャネルデータシンボル、および2つの検索コードシンボルを含む。これらの検索コードシンボルは、並列的に送信される第1検索コード（FSC）および第2検索コード（SSC）を含む。これらの

検索コードはロングコードによって変調されないで、移動受信機は信号を取得するために、各コードの期間にわたり、512個のロングコードの各々を調べる必要がない。むしろ、パッチチャネルの検索コードシンボルの拡散変調は256チップのゴールド（Gold）シーケンスに限られる。

【0005】図3Aを参照すると、第1および第2の検索コードを送信するための従来技術の送信機の簡略化したブロック図が示されている。回路302および310は各々、256サイクルのアダマール（Hadamard）シーケンスを生成する。両シーケンスとも、1つの64サイクルのゴールドシーケンスおよび3つの64サイクルゴールドシーケンスの補数によって変調されて、それによって256チップのSSCシンボルと並列的に256チップのFSCシンボルを生成する。図3Bのブロック図は、図3AのFSCシンボルを検出するための従来技術の回路を示す。この回路はリード311上の入力信号としてFSCシンボルを受信する。この信号は、クロック信号にตอบสนองして、シリアルレジスタ321によって周期的にサンプリングされる。この回路は64個のタップを有し、それらは、対応する擬似雑音（PN）信号を乗ずることによって64個の出力信号を生成する。加算器348はこれらの64の出力信号を加算して、端子350に出力信号シーケンスを発生する。これらの出力信号はシリアルレジスタ391へロードされる。レジスタタップ350-376からの信号サンプルはサンプル出力を発生し、それらを加算器386が加算してリード388に一致信号MATを生成する。受信したFSCシンボルの各チップがゼロタイムシフト（図3）でゴールドPNシーケンスと一致すれば、256チップすべてで高い相関が得られる。しかし、FSCシンボルの受信チップの中で、ゴールドPNシーケンスに対して何らかのシフトがあれば、70チップの最大ピークを有する、ひどく劣化した相関が得られる。このように、高い相関は、一致または基地局からのFSCシンボルの取得を意味する。

【0006】図3Bの回路に付随するいくつかの問題点は、この解決策を理想からほど遠いものとする。第1に、64チップのアクムレータは64個のタップおよび64個の論理ゲートを必要とする。第2に、論理ゲートは64個の出力信号を発生し、それらは、オーバーサンプリングレートを乗じたチップレートでいて、64入力の加算器によって組み合わせられる必要がある。最後に、これら回路要素は拡大したレイアウト面積を必要とし、電力消費を増大させる。この最後の2点は移動通信システム用としては特に不利である。

【0007】

【課題を解決するための手段】 これらの問題は、クロック信号にตอบสนองして入力信号を受信するようにつながれた第1シリアル回路によって解決する。この第1シリア

ル回路は、前記入力信号から対応する複数の第1タップ信号を生成するように配置されたN個のタップを有する。第1論理回路が、複数の第1タップ信号、N個の予め定められた信号の1つ、およびN個の予め定められた信号の補数を受信するようにつながれる。前記第1論理回路は、前記クロック信号、前記複数の第1タップ信号、N個の予め定められた信号の前記1つ、およびN個の予め定められた信号の前記補数にตอบสนองして、第1出力信号を発生する。前記第1出力信号を受信するように第2のシリアル回路がつながれる。前記第2シリアル回路は、前記第1出力信号から、対応する複数の第2タップ信号を生成するように配置されたM個のタップを有する。ここで、N/Mの比は4以下である。前記複数の第2タップ信号の各々の真および補数のうちの1つを受信するように、第2論理回路がつながれる。前記第2論理回路は、前記複数の第2タップ信号の各々の真および補数のうちの前記1つにตอบสนองして第2出力信号を発生する。

【0008】本発明は、従来技術の回路と同等な同期能力を提供する。ゲート数および信号タップを含む回路の複雑さは、電力消費とともに大幅に削減される。

【0009】本発明のより完全な理解は、図面を参照しながら以下の詳細な説明を読むことによって得られよう。

【0010】

【発明の実施の形態】 図1Aを参照すると、本発明に従って第1および第2検索コードを送信するための送信機の簡略化したブロック図が示されている。回路102および110は各々、256サイクルのアダマールシーケンスを生成する。両シーケンスとも、32サイクルのゴールドシーケンスZの真または補数のいずれかによって選択的に変調される。各32サイクルゴールドシーケンス群の真または補数の状態は、ゴールドシーケンス発生器回路108によって（Z，-Z，-Z，Z，-Z，Z，Z，Z）のように表わされる。一般に、これはN

（32）個の論理信号のM（8）群の256ビットシーケンスとして表すことができる。排他的OR（XOR）回路112および104は、それぞれリード111および103における対応する256サイクルシーケンスを変調して、それによって256チップの第2検索コード（SSC）シンボルと並列に256チップの第1検索コード（FSC）シンボルを生成する。これらのFSCおよびSSCシンボルは、移動遠隔局による信号取得を容易にするために、基地局によって送信される一致信号である。

【0011】次に図1Bを参照すると、図1AのFSCシンボルを検出するための本発明の検出回路のブロック図が示されている。この回路はFSCシンボルをリード111上の入力信号INとして受信する。この信号は、シリアルレジスタ121によってクロック信号にตอบสนองし

て周期的にサンプリングされる。サンプリングレートは、好ましくは、チップレートよりもオーバーサンプリングレート n 分だけ大きい。好ましくは2であるオーバーサンプリングレートは、正確さ、回路の複雑さ、および電力消費の相互間で許容できる妥協点を提供する。従って、シリアルレジスタ121は、入力信号INの各引き続くサンプルを記憶するために $31 * n$ 個のステージを有する。シリアルレジスタ121は、 $32 (N)$ 個のタップ142-146を有し、それらは32個の対応する並列的タップ信号を発生する。タップ信号の各々は n 個のステージまたはサンプルによって分離されており、ここでオーバーサンプリングがない時には n は1である。32個のXOR回路(130, 132, 134)を含む論理回路は、32個の対応する擬似雑音(PN)信号とともに、対応するタップ信号を受信して、32個の出力信号(131, 133, 135)を生成する。このPNシーケンスは回路108から送信されるシーケンスと一致する、好ましくはゴールドシーケンスである。加算器回路148は32個の出力信号を受信して、それらを加えることによって、オーバーサンプリングレート n に対応する出力信号のシーケンスを端子150へ発生する。

【0012】リード150上のこれらの出力信号はシリアルレジスタ191へロードされる。シリアルレジスタ191は $224 * n$ 個のステージおよび8(M)個のタップ(150, 172-182)を含む。シリアルレジスタ191のタップからの信号サンプルは8個のサンプル出力を並列的に発生する。これらの8個の出力信号は、回路108(図1A)のシーケンス反転と一致するように選択的に反転される。例えば、インバータ185は、回路108のシーケンス中の5番目の反転されたシーケンスに対応する。加算器186はこれらのタップ信号の真または補数を受信し、それらを加算して、リード188上へ一致信号MATを生成する。受信したFSCシンボルの各チップがゴールドPNシーケンスとゼロタイムシフト(図4)で一致することは、256チップすべてに高い相関をもたらす。しかし、FSCシンボルの受信チップに、ゴールドPNシーケンスに対する何らかのシフトがあれば、50チップよりも少ない最大ピークを有するひどく劣化した相関をもたらすことになる。このように、高い相関は、一致または基地局からのFSCシンボルの取得を意味する。本発明の高い相関一致および低い相関排除は両方共に、従来技術の検出回路(図3B)と互角である。しかし、本発明は従来技術と比べて、回路の単純さとそれに対応する電力節約という重要な特長を提供する。本発明の本実施例は32チップのアクキュムレータ回路120用として、32個のタップとそれに対応して32個のXOR回路しか必要としない。更に、加算器回路148はリード150上の出力信号を生成するために32個だけの信号を加算すればよい。これ

と比べて、図3Bの従来技術の64チップアクキュムレータは64個のタップとそれに対応する64個のXOR回路を必要とする。加算器は64個の入力信号を加算しなければならない。このように、本発明はレイアウト面積、論理ゲート、および寄生容量において本質的な削減を提供する。付加的な論理ゲートおよび対応する寄生容量は本発明よりも大幅に大きい電力を消費する。

【0013】ここで図2Aに進むと、本発明の別の実施例に従って第1および第2検索コードを送信するための送信機の簡略化したブロック図が示されている。回路202および210は各々、既に述べたように、256サイクルのアダマールシーケンスを生成する。しかし、どちらのシーケンスも16サイクルのゴールドシーケンスZの真または補数のいずれかによって選択的に変調される。各16サイクルゴールドシーケンス群の真または補数状態は、ゴールドシーケンス発生器回路208に

(Z, Z, Z, -Z, Z, Z, -Z, -Z, Z, -Z, Z, -Z, -Z, -Z, -Z, Z)のように表示されている。一般に、これは $N(16)$ 個の論理信号の $M(16)$ 群の256ビットシーケンスとして表すことができる。XOR回路212および204はそれぞれリード211および203上の対応する256サイクルシーケンスを変調して、それによって256チップの第2検索コード(SSC)シンボルと並列に256チップの第1検索コード(FSC)シンボルを生成する。

【0014】図2Bの検出回路は、図2Aの送信機からのFSCシンボルをリード211上の入力信号INとして受信する。この信号はシリアルレジスタ221によって、クロック信号にตอบสนองしてオーバーサンプリングレート n で周期的にサンプリングされる。従って、シリアルレジスタ221は入力信号INの引き続く各サンプルを記憶するために $15 * n$ 個のステージを有する。シリアルレジスタ221は $16 (N)$ 個のタップ242-246を有しており、それらは16個の対応する並列的タップ信号を発生する。16個のXOR回路(230, 232, 234)を含む論理回路は、16個の対応する擬似雑音(PN)信号とともに、対応するタップ信号を受信することによって、16個の出力信号(231, 233, 235)を生成する。このPNシーケンスは回路208からの送信されるシーケンスと一致する、好ましくはゴールドシーケンスである。加算器回路248は16個の出力信号を受信し、それらを加算して、オーバーサンプリングレート n に対応する出力信号シーケンスを端子250に発生する。

【0015】リード250上のこれらの出力信号はシリアルレジスタ291にロードされる。シリアルレジスタ291は $240 * n$ 個のステージおよび16(M)個のタップ(250, 272-280)を含む。シリアルレジスタ291のタップからの信号サンプルは16個のサンプル出力を並列に発生する。これらのタップ信号は既

に述べたように、選択的に反転され、加算器回路282によって加算されて、リード288上に一致信号MATを発生する。受信されたFSCシンボルの各チップがゴールドPNシーケンスとゼロタイムシフトで一致することは(図5)、図1Bの実施例と同じ高い相関が図4でも256チップすべてに存在することを示す。更に、FSCシンボルの受信されたチップに、ゴールドPNシーケンスと比べて何らかのシフトがあれば排除することは、相応の劣化をもたらす。本発明のこの実施例は、図1Bの実施例よりも優れた回路の単純さおよびそれに対

応する電力節約の特長を提供する。本実施例は16チップのアキュムレータ回路220に対して16個のタップと16個の対応するXOR回路しか要求しない。更に、加算器回路248は、リード250上へ出力信号を発生するために、16個の信号だけを加算する。本発明の顕著な特長を図3Bの従来技術の回路と比べて要約したものが表1に与えられている。

【0016】

【表1】

	図1B		図2B		図3B (従来技術)	
	32チップアキュムレータ	8シンボルアキュムレータ	16チップアキュムレータ	16シンボルアキュムレータ	64チップアキュムレータ	4シンボルアキュムレータ
レジスタステージ	31*n	224*n	15*n	240*n	63*n	192*n
レジスタタップ	32	8	16	16	64	4
XORゲート	32	0	16	0	64	0
加算器長	32	8	16	16	64	4

【0017】表1の比較は、本発明の2つの実施例は従来技術とともに、256サイクルのアダマールシーケンスによって決定されるのと同等のレジスタステージ数および対応する遅延を有することを示している。しかし、図1Bおよび図2Bの両実施例は、レジスタタップ、XORゲート、および加算器長を大幅に低減する。この回路の複雑さの低減および対応する電力消費の削減は、回路の複雑さおよび電力消費が致命的な因子である移動通信システムでは非常に有利である。

【0018】本発明はそれの好適実施例に関して説明してきたが、この説明はほんの一例であって限定的な意図のものではないことを理解されるべきである。例えば、検出回路設計は送信機回路設計に対応するものである必要はない。図2Bの検出回路は図1Aまたは図3Aの送信機と一緒に使用することができる。図1Aの送信機と一緒に使用する時は、16シンボルのアキュムレータ回路290は、8シンボルを16個の半シンボルとして検出するであろうし、また反転されたシンボルに対応する

タップ対の各々に対してインバータ285のような2つのインバータが必要であろう。同様に、図2Bの検出回路の隣接する4個のタップが図3Aの送信機からの1つのシンボルを検出してもよい。いずれの場合でも、チップアキュムレータ220に供給されるPNシーケンスは、送信されるシーケンスの適当な部分に対応することになる。更に、本発明の新規な概念はゴールドPNシーケンスのみに限定されず、当業者には既知のその他のシーケンス、例えば、リンドナー(Lindner)シーケンスにも拡張される。更に、出願人は、本発明のその他の特徴と組合せて非常に有利となるものとして、以下の示すその他の3種類の16サイクルシーケンスを発見した。以下に示されるそれらのシーケンス、W、X、およびYをリンドナーシーケンスおよびゴールドシーケンスと比較した結果を表2に示す。

【0019】

【表2】

W = {-1, -1, 1, 1, 1, 1, 1, 1, -1, 1, 1, -1, 1, -1, -1}					
X = {1, 1, 1, 1, 1, -1, -1, 1, 1, -1, -1, 1, -1, 1, -1}					
Y = {1, 1, 1, 1, -1, -1, 1, 1, -1, 1, 1, -1, 1, -1, -1}					
相関	W	X	Y	リンドナー	ゴールド
最大サイド	32	34	48	34	18
平均サイド	5.24	3.90	2.45	4.04	5.50

【0020】ここで図7を参照して、表2を参照しながらシーケンスW、X、およびYをリンドナーシーケンスと比較しよう。図7の水平軸は、チップ中の理想的な一致からのタイムシフトを示している。垂直軸はシンボルの相関を示す。ゼロタイムシフトに対応するチップ中の正確な一致の相関は省略してあり、従って縦軸は、その他のタイムシフト値に対して調節される。例えば、Xシーケンスに関する最大サイド(s i d e)相関は34であり、平均サイド相関は3.90である。これはリンドナーシーケンスの平均サイド相関4.04よりわずかに優れているが、最大サイド相関は同じである。あるいは、シーケンスYの平均サイド相関(2.45)はリンドナーシーケンスよりもはるかに優れているが、最大サイド相関の48は劣っている。

【0021】次に図8を参照すると、図2Bの検出回路と一緒に使用できる16シンボルのアキュムレータ回路の別の実施例のブロック図が示されている。このアキュムレータ回路は、加算器回路248(図2B)からのリード250上の部分相関信号を受信するようにつながれている。シリアル回路800はシリアルデータの対応するサンプルを受信するように配置されたレジスタ810-813のバンクを含む。各レジスタからのデータはバス820を介して論理回路822へ供給される。バス826を介して論理回路822へ供給されるPNコードは、インバータ285(図2B)の機能と同じようにデータ信号を選択的に反転させる。加算器はバス824上の各信号を受信して、それをリード832上の累積された結果へ加える。この結果はアキュムレータバッファ回路830に記憶される。最終的な加算によってリード834上へ一致信号MATが生成される。このレジスタ・アキュムレータ回路はシリアルデータの効率的な処理に関して非常に有利である。更に、それはレジスタ長およびPNコード選択のプログラム可能な柔軟性を提供する。このシリアル回路は既に述べたシリアル回路の任意のものの代わりに使用されよう。シリアル回路のその他の実施例、例えば、回路バッファ、アドレス指定可能なメモリ、シフトレジスタ、およびデジタル信号プロセッサを本発明に適用することは、本明細書を参照することによって当業者には理解されよう。

【0022】本発明の実施例の詳細に関する数多くの変更が、本明細書を参照することによって当業者には明らかとなることを理解されるべきである。そのような変更や付加的な実施例は、特許請求の範囲に開示される本発明の精神およびスコープに含まれる。

【0023】以上の説明に関して更に以下の項を開示する。

(1) 信号検出用の回路であって、各群がN個の論理信号を有するM群の第1シーケンスを発生するように配置された第1回路であって、ここにおいて、第1の複数のM群の各々が予め定められたシーケンスを有しており、

またここにおいて、第2の複数のM群の各々が前記予め定められたシーケンスの補数である第1回路、論理信号の第2シーケンスを発生するように配置された第2回路であって、ここにおいて、論理信号の前記第2シーケンスの数がMとNの積に等しい第2回路、および前記第1および第2シーケンスを受信するようにつながれた第3回路であって、前記第1および第2シーケンスにตอบสนองして一致信号を発生する第3回路、を含む回路。

【0024】(2) 第1項記載の回路であって、ここにおいて、前記第1の複数のM群の前記予め定められたシーケンスがゴールド(G o l d)シーケンスである回路。

【0025】(3) 第1項記載の回路であって、ここにおいて、前記第2シーケンスがアダマール(H a d a m a r d)シーケンスである回路。

【0026】(4) 第1項記載の回路であって、ここにおいて、Mが8でNが32である回路。

【0027】(5) 第1項記載の回路であって、ここにおいて、Mが16でNが16である回路。

【0028】(6) 第1項記載の回路であって、一致信号を発生する前記第3回路が、第2シーケンスからの各信号と第1シーケンスからの各信号との論理X O Rを生成することを含んでいる回路。

【0029】(7) 第1項記載の回路であって、ここにおいて、前記一致信号が第1の検索コード信号である回路。

【0030】(8) 第1項記載の回路であって、ここにおいて、前記第1および第2回路の各々がシフトレジスタを含んでいる回路。

【0031】(9) 信号検出用の回路であって、クロック信号にตอบสนองして入力信号を受信するようにつながれた第1シリアル回路であって、前記入力信号から、対応する複数の第1タップ信号を発生するように配置されたN個のタップを有する第1シリアル回路、前記複数の第1タップ信号、N個の予め定められた信号の1つ、およびN個の予め定められた信号の補数を受信するようにつながれた第1論理回路であって、前記クロック信号、前記複数の第1タップ信号、N個の予め定められた信号の前記1つ、およびN個の予め定められた信号の前記補数にตอบสนองして、第1出力信号を発生する第1論理回路、前記第1出力信号を受信するようにつながれた第2シリアル回路であって、前記第1出力信号から、対応する複数の第2タップ信号を発生するように配置されたM個のタップを有する第2シリアル回路であって、ここにおいて、N/Mの比が4よりも大きくない第2シリアル回路、および前記複数の第2タップ信号の各々の真および補数のうちの1つを受信するようにつながれた第2論理回路であって、前記複数の第2タップ信号の各々の真および補数のうちの1つにตอบสนองして第2出力信号を発生する第2論理回路、を含む回路。

【0032】(10)第9項記載の回路であって、ここにおいて、前記入力信号がアダマール(Hadamard)シーケンスである回路。

【0033】(11)第10項記載の回路であって、ここにおいて、前記N個の予め定められた信号がゴールド(Gold)シーケンスである回路。

【0034】(12)第9項記載の回路であって、ここにおいて、前記N個の予め定められた信号が、リンドナー(Lindner)シーケンス、Wシーケンス、Xシーケンス、およびYシーケンスの1つである回路。

【0035】(13)第9項記載の回路であって、ここにおいて、Mが8でNが32である回路。

【0036】(14)第9項記載の回路であって、ここにおいて、Mが16でNが16である回路。

【0037】(15)第9項記載の回路であって、ここにおいて、前記第2出力信号が一致信号であり、前記一致信号が、前記入力信号と前記N個の予め定められた信号との間の本質的一致にตอบสนองする前記第2出力信号の別の値の少なくとも2倍の値を有している回路。

【0038】(16)第15項記載の回路であって、ここにおいて、前記一致信号が第1検索チャンネル信号に対応している回路。

【0039】(17)第16項記載の回路であって、ここにおいて、前記第1および第2シリアル回路の各々がシフトレジスタである回路。

【0040】(18)第17項記載の回路であって、ここにおいて、前記第1および第2シリアルレジスタの各々が、更に、対応する各タップ間にnステージの整数倍数を含んでいる回路。

【0041】(19)第9項記載の回路であって、ここにおいて、前記第1論理回路が更に、前記N個の予め定められた信号と前記複数の第1タップ信号とを受信するようにつながれた複数のN個の論理ゲートであって、対応する複数のN個の論理信号を発生するN個の論理ゲート、前記N個の論理信号を受信するようにつながれた第1加算器回路であって、前記第1出力信号を発生する第1加算器回路、を含んでいる回路。

【0042】(20)第19項記載の回路であって、ここにおいて、前記第2論理回路が更に、前記複数の第2タップ信号の各々の真および補数のうちの1つを受信するようにつながれた第2加算器回路を含んでいる回路。

【0043】(21)信号検出用の回路であって、クロック信号にตอบสนองして入力信号を受信するようにつながれた第1シリアル回路であって、前記入力信号から、対応する複数の第1タップ信号を発生するように配置されたN個のタップを有する第1シリアル回路、前記複数の第1タップ信号と複数のN個の予め定められた信号とを受信するようにつながれた第1論理回路であって、前記複数の第1タップ信号と前記N個の予め定められた信号とにตอบสนองして第1出力信号を発生する第1論理回路、前記

第1出力信号を発生するようにつながれた第2シリアル回路であって、前記第1出力信号の第1の複数のサンプルと前記第2出力信号の第2の複数の補数サンプルとを発生するように配置されたM個のタップを有する第2シリアル回路、および前記第1の複数のサンプルと前記第2の複数の補数サンプルとを受信するようにつながれた第2論理回路であって、前記第1の複数のサンプルと前記第2の複数の補数サンプルとの論理的組合せにตอบสนองして第2出力信号を発生する第2論理回路、を含む回路。

【0044】(22)第21項記載の回路であって、ここにおいて、前記入力信号がアダマールシーケンスである回路。

【0045】(23)第21項記載の回路であって、ここにおいて、前記N個の予め定められた信号がゴールドシーケンスである回路。

【0046】(24)第21項記載の回路であって、ここにおいて、前記N個の予め定められた信号がリンドナー(Lindner)シーケンス、Wシーケンス、Xシーケンス、およびYシーケンスのうちの1つである回路。

【0047】(25)第21項記載の回路であって、ここにおいて、Mが8でNが32である回路。

【0048】(26)第21項記載の回路であって、ここにおいて、Mが16でNが16である回路。

【0049】(27)第21項記載の回路であって、ここにおいて、前記第2出力信号が一致信号であり、前記一致信号が、前記入力信号と前記N個の予め定められた信号との間の本質的一致にตอบสนองする前記第2出力信号の別の値の少なくとも2倍の値を有している回路。

【0050】(28)第27項記載の回路であって、ここにおいて、前記一致信号が第1検索チャンネル信号に対応している回路。

【0051】(29)第28項記載の回路であって、ここにおいて、前記第1および第2シリアル回路の各々がシフトレジスタである回路。

【0052】(30)第29項記載の回路であって、ここにおいて、前記第1および第2シリアル回路の各々が更に、対応する各タップ間にnステージの整数倍数を含んでいる回路。

【0053】(31)第21項記載の回路であって、ここにおいて、前記第1論理回路が更に、前記N個の予め定められた信号と前記複数の第1タップ信号とを受信するようにつながれた複数のN個の論理ゲートであって、対応する複数のN個の論理信号を発生するN個の論理ゲート、前記N個の論理信号を受信するようにつながれた第1加算器回路であって、前記第1出力信号を発生する第1加算器回路、を含む回路。

【0054】(32)第31項記載の回路であって、ここにおいて、前記第2論理回路が更に、前記複数の第2タップ信号の各々の真および補数のうちの1つを受

信するようにつながれた第2加算器回路を含んでいる回路。

【0055】(33) 移动通信システムにおいて信号を検出する方法であって、次の工程、遠隔送信機から入力信号を受信する工程、クロック信号にตอบสนองして、前記入力信号から各々N個の信号のM群をサンプリングする工程、各群のN個の信号を、予め定められた信号シーケンスの1つおよび前記予め定められた信号シーケンスの補数と比較する工程、各々の対応する群の前記比較工程にตอบสนองして、複数のM個の信号を発生する工程、前記複数のM個の信号にตอบสนองして、一致信号を発生する工程、を含む方法。

【0056】(34) 第33項記載の方法であって、ここにおいて、前記受信する工程がアダマールシーケンスを有する前記入力信号を受信する工程を含んでいる方法。

【0057】(35) 第33項記載の方法であって、ここにおいて、前記サンプリング工程が次の工程、前記クロック信号にตอบสนองして周期的な時刻毎に前記入力信号の複数の値を決定する工程、および各値をシフトレジスタに記憶する工程、を含んでいる方法。

【0058】(36) 第33項記載の方法であって、ここにおいて、前記比較する工程が、前記N個の予め定められた信号と前記N個の信号とのそれぞれに対応する論理的組合せにตอบสนองして、N個の論理信号を発生する工程、前記N個の論理信号を加算する工程、および前記加算する工程にตอบสนองして、M個の信号のうちの1つを発生する工程、を含んでいる方法。

【0059】(37) 第33項記載の方法であって、ここにおいて、一致信号を発生する前記工程が、前記複数のM個の信号の真および補数のうちの1つを加算する工程、および前記加算する工程にตอบสนองして、前記一致信号を発生する工程、を含んでいる方法。

【0060】(38) 信号を検出するための回路は、クロック信号にตอบสนองして入力信号を受信するようにつながれた第1シリアル回路を備えて設計される。第1シリアル回路121は入力信号111から、対応する複数の第1タップ信号を発生するように配置されたN個のタップ142-146を有する。第1論理回路130、132、134、148が、複数の第1タップ信号と、N個の予め定められた信号の1つおよびN個の予め定められた信号の補数を受信するようにつながれる。第1論理回路は、クロック信号、複数の第1タップ信号、N個の予め定められた信号の1つ、およびN個の予め定められた信号の補数にตอบสนองして第1出力信号を発生する。第2シリアル回路が第1出力信号を受信するようにつながれる。第2シリアル回路は、第1出力信号から、対応する複数の第2タップ信号を発生するように配置されたM個のタップ150、172-184を有する。ここにおいて、N/Mの比は4よりも大きくない。第2論理回路1

86が複数の第2タップ信号の各々の真および補数のうちの1つを受信するようにつながれる。第2論理回路は、複数の第2タップ信号の各々の真および補数のうちの1つにตอบสนองして第2出力信号188を発生する。

【図面の簡単な説明】

【図1】Aは本発明の第1実施例に従って、第1および第2検索コードを送信するための送信機の簡略化したブロック図。Bは本発明の第1実施例に従って、図1Aの前記第1検索コードを検出するための回路のブロック図。

【図2】Aは本発明の第2実施例に従って、第1および第2検索コードを送信するための送信機の簡略化したブロック図。Bは本発明の第2実施例に従って、図2Aの前記第1検索コードを検出するための回路のブロック図。

【図3】Aは第1および第2検索コードを送信するための、従来技術の送信機の簡略化したブロック図。Bは図3Aの前記第1検索コードを検出するための、従来技術の回路のブロック図。

【図4】図1Bの前記検出回路の相関図。

【図5】図2Bの前記検出回路の相関図。

【図6】図3Bの前記検出回路の相関図。

【図7】本発明のW、X、およびYシーケンスと比べたリンダー(Lindner)シーケンスZの相関図。

【図8】図2Bの検出回路で使用できる16シンボルのアキュムレータ回路の別の実施例のブロック図。

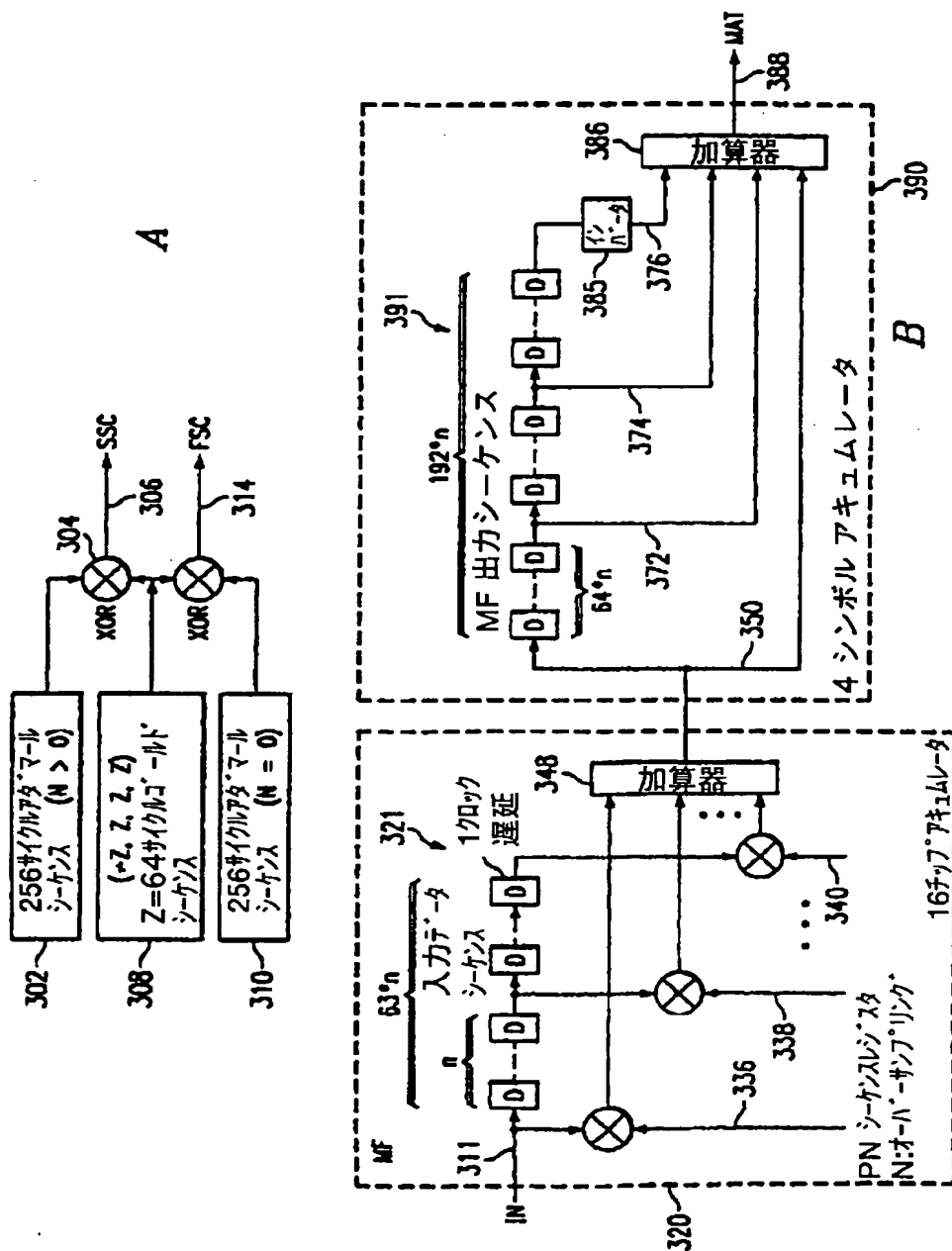
【符号の説明】

102	回路
103	リード
104	XOR回路
108	ゴールドシーケンス発生回路
110	回路
111	リード
112	XOR回路
120	アキュムレータ回路
121	シリアルレジスタ
130, 132, 134	XOR回路
131, 133, 135	出力信号
148	加算器回路
150	リード
185	インバータ
186	加算器
188	リード
191	シリアルレジスタ
202	回路
203	リード
204	XOR回路
210	回路
211	リード
212	XOR回路

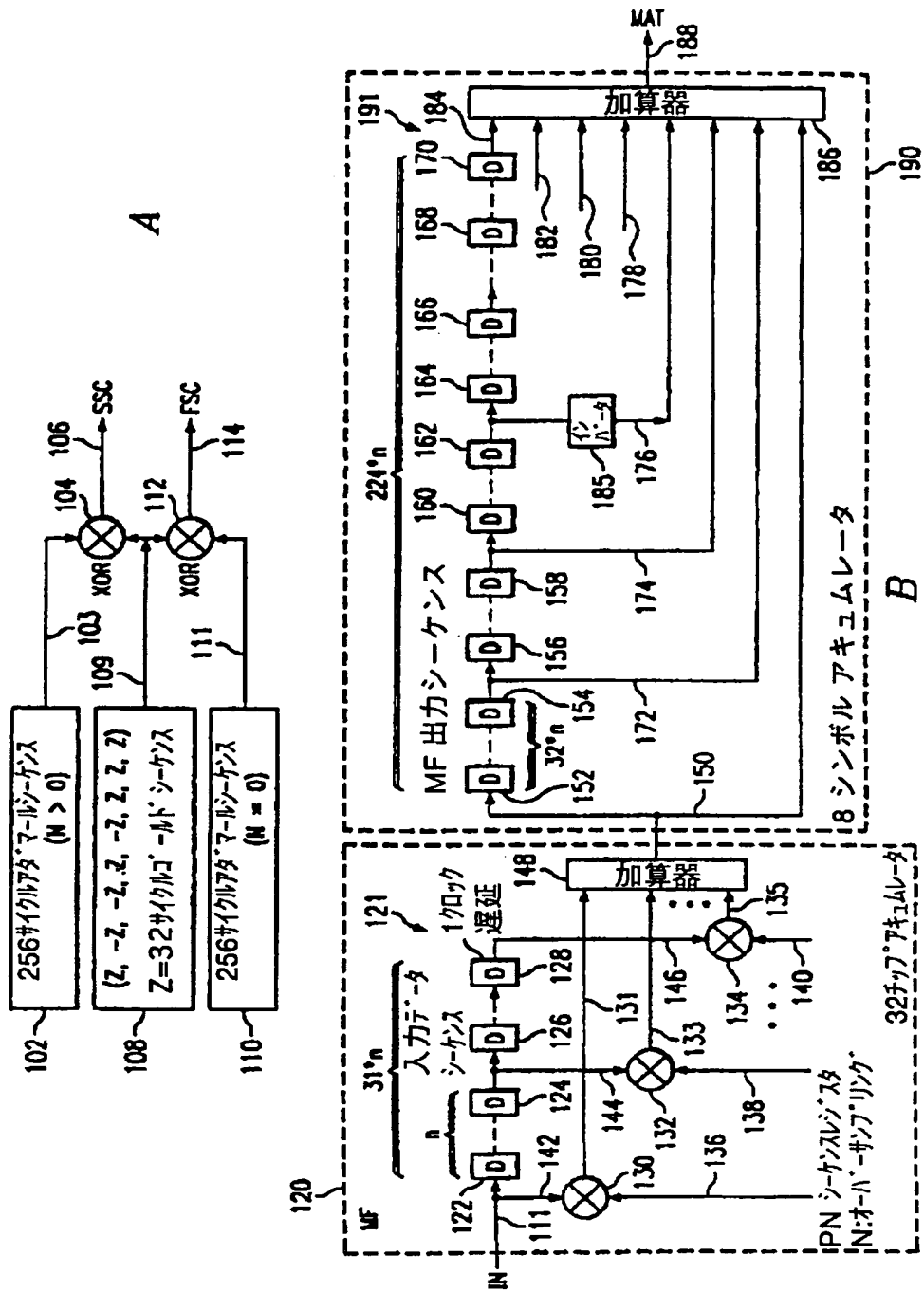
220 アキュムレータ回路
 221 シリアルレジスタ
 230, 232, 234 XOR回路
 231, 233, 235 出力信号
 248 加算器回路
 250 端子
 270-280 タップ
 282 加算器回路
 285 インバータ

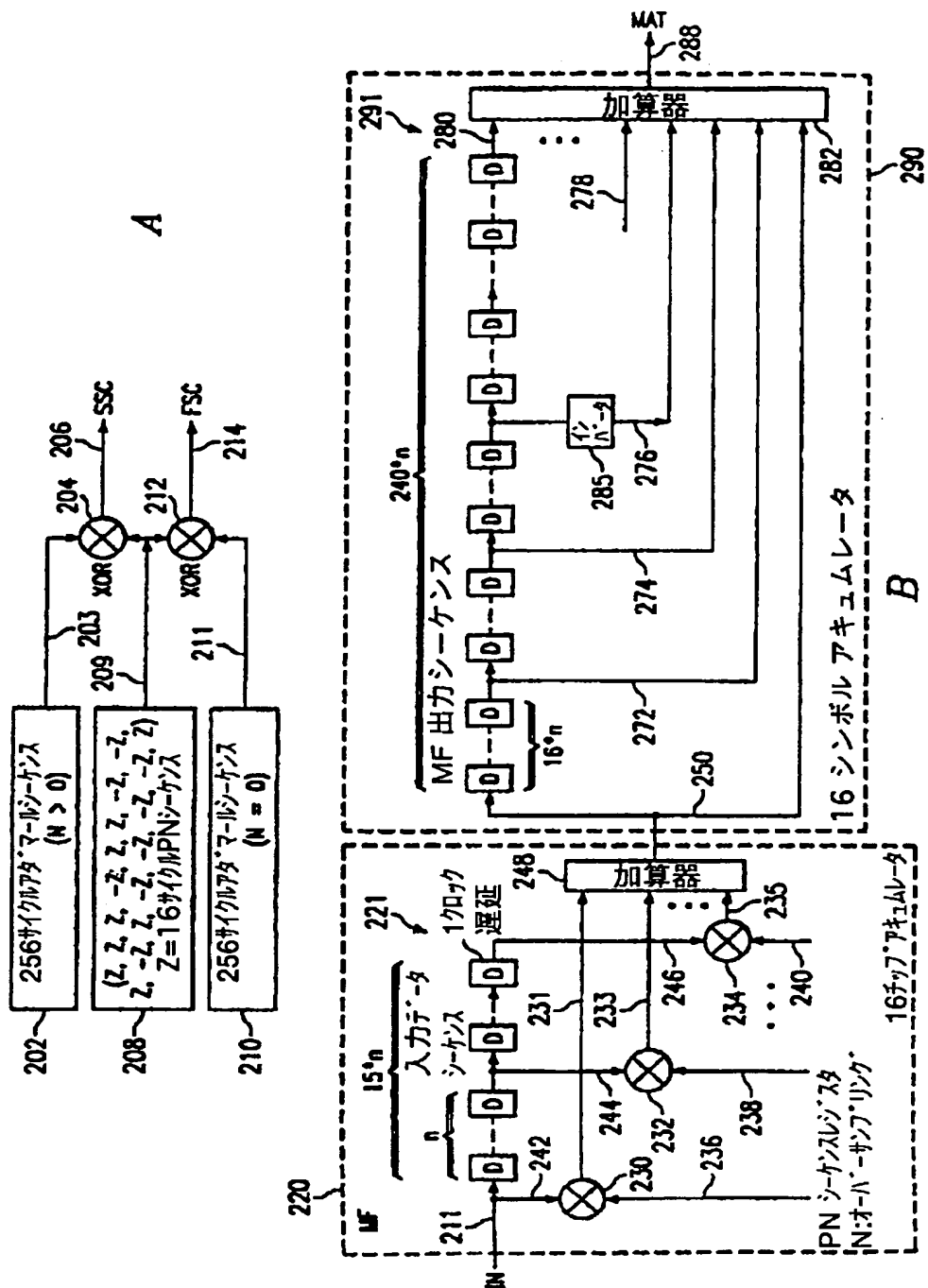
288 リード
 290 アキュムレータ回路
 291 シリアルレジスタ
 800 シリアル回路
 810-813 レジスタ
 820, 822 論理回路
 824, 826 バス
 830 アキュムレータバッファ
 832, 834 リード

【図3】



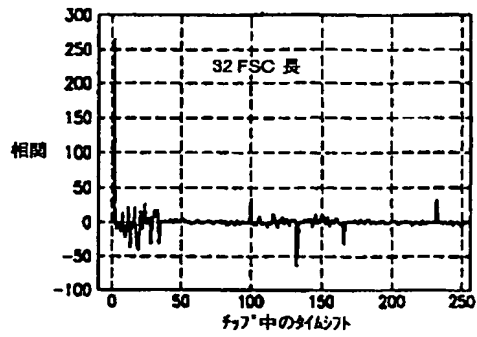
【図1】



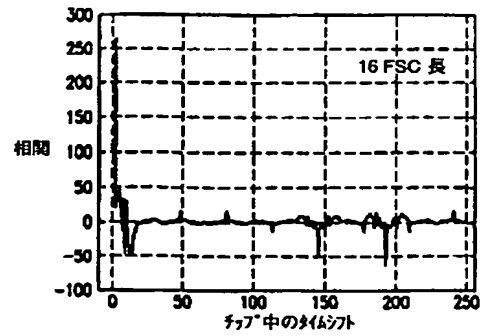


【図 2】

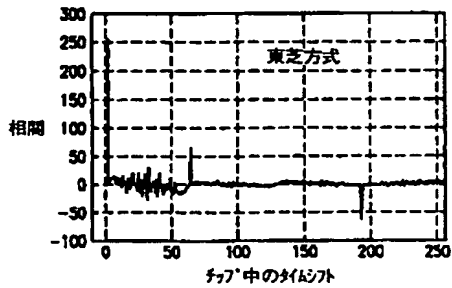
【図 4】



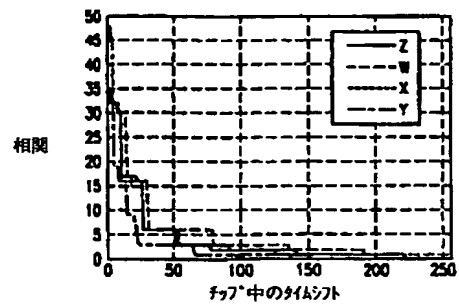
【図 5】



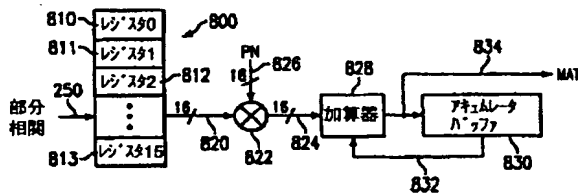
【図 6】



【図 7】



【図 8】



フロントページの続き

(72) 発明者 スリナス ホサー
アメリカ合衆国、テキサス、ダラス、シャ
ディブルック レーン 6441, ナンバー
2152

(72) 発明者 スンダララジヤン スリラム
アメリカ合衆国、テキサス、ダラス、ラウ
ダー レーン 16500, ナンバー18208